

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Februar 2005 (17.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/015634 A1

(51) Internationale Patentklassifikation⁷: **H01L 23/538**,
21/60

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(21) Internationales Aktenzeichen: PCT/DE2004/001360

(72) Erfinder; und

(22) Internationales Anmeldedatum:
28. Juni 2004 (28.06.2004)

(75) Erfinder/Anmelder (nur für US): **WÖRNER, Holger**
[DE/DE]; Martin-Ernst-Str. 43, 93049 Regensburg (DE).
POHL, Jens [DE/DE]; Sudetenstr. 5a, 93170 Bern-
hardswald (DE). **HEDLER, Harry** [DE/DE]; Jahnstr. 8,
82110 Germering (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(74) Anwalt: **SCHWEIGER, Martin**; c/o Kanzlei Schweiger
& Partner, Karl-Theodor-Str. 69, 80803 München (DE).

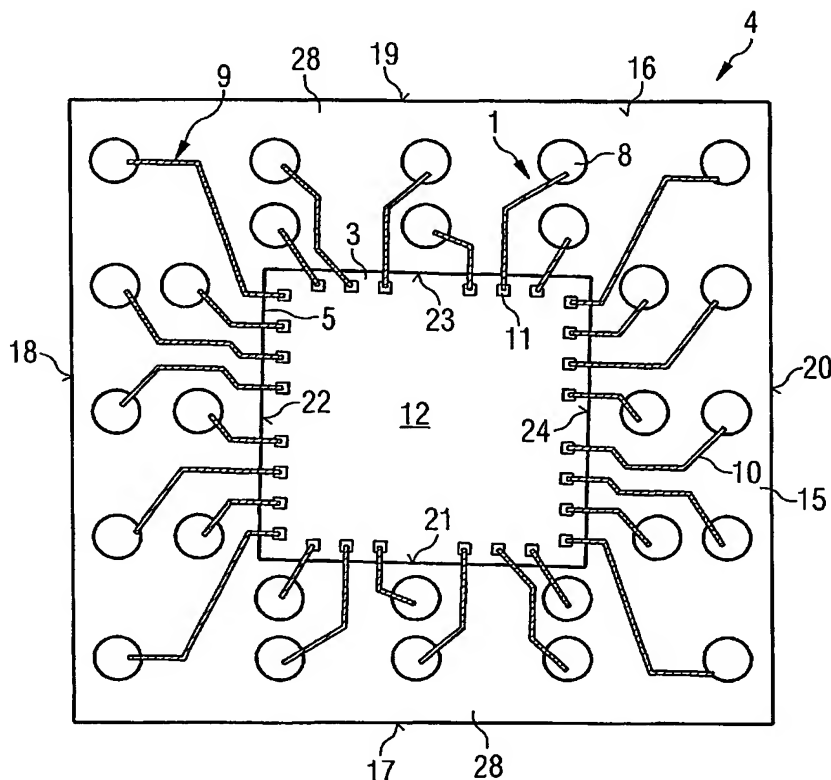
(30) Angaben zur Priorität:
103 34 577.9 28. Juli 2003 (28.07.2003) DE

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PLACING WIRES ON A PANEL WITH COMPENSATION OF POSITIONAL ERRORS OF SEMI-
CONDUCTOR CHIPS IN PANEL COMPONENT POSITIONS

(54) Bezeichnung: VERFAHREN ZUM AUFBRINGEN EINER UMVERDRAHTUNG AUF EINEN NUTZEN UNTER KOM-
PENSATION VON POSITIONSFEHLERN VON HALBLEITERCHIPS IN BAUTEILPOSITIONEN DES NUTZENS



(57) Abstract: The invention relates to a method for placing wires on a panel. The panel thus provided has a coplanar overall upper side and an upper side made of a plastic material and upper sides made of semiconductor chips. According to the inventive method, a layer of wiring can be obtained with outer contacts and wiring lines, which compensates positional errors of the semiconductor chip in the component position of the panel in a two-step illumination stage.

(57) Zusammenfassung: Die Erfindung betrifft ein Verfahren zum Aufbringen einer Umverdrahtung auf einen Nutzen. Dazu wird ein Nutzen bereit gestellt, der eine koplanare Gesamtobenseite einer Oberseite einer Kunststoffmasse und den Oberseiten von Halbleiterchips aufweist. Das Verfahren stellt eine Umverdrahtungslage mit Verwirklichung von Außenkontakten und Umverdrahtungsleitungen zur Verfügung, die durch

[Fortsetzung auf der nächsten Seite]



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.